

Family list

2 family member for: **JP1256146**

Derived from 1 application

1 SEMICONDUCTOR DEVICE

Inventor: SAMEJIMA TOSHIYUKI; TOMI TAKASHI; (+1)

Applicant: SONY CORP

EC:

IPC: H01L21/762; H01L21/02; H01L21/265 (+11)

Publication info: **JP1256146 A** - 1989-10-12

JP3034528B2 B2 - 2000-04-17

Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE

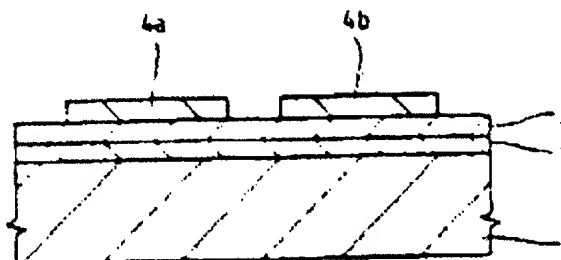
Patent number: JP1256146
Publication date: 1989-10-12
Inventor: SAMEJIMA TOSHIYUKI; TOMI TAKASHI; USUI SETSUO
Applicant: SONY CORP
Classification:
- international: H01L21/762; H01L21/02; H01L21/265; H01L21/76; H01L21/84; H01L27/00; H01L27/12; H01L21/70; H01L21/02; H01L27/00; H01L27/12; (IPC1-7): H01L21/76; H01L27/00; H01L27/12
- european:
Application number: JP19880084679 19880406
Priority number(s): JP19880084679 19880406

Report a data error here

Abstract of JP1256146

PURPOSE: To obtain a highly efficient semiconductor device using a substrate having no heat-resisting property by a method wherein a single crystal semiconductor film adheres to the substrate using a bonding agent which is hardened at the temperature of 400 deg.C or lower.

CONSTITUTION: The insulating film 3 such as an SiO₂ film, for example, and single crystal Si films 4a and 4b are bonded on a substrate 1. In this case, if a bonding agent 2 is used, the hardening temperature is 400 deg.C or lower, but an epoxy heat-hardening type bonding agent, which becomes hard at about 200 deg.C or lower, is used. Accordingly, a glass substrate and a resin substrate having low heat-resisting property can be used as the substrate 1. As a result, a highly efficient semiconductor device can be obtained using the substrate having low heat-resisting property.



⑫ 公開特許公報(A) 平1-256146

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)10月12日
 H 01 L 21/76 3 0 1 D-7638-5F
 27/00 B-7514-5F
 27/12 7514-5F 審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 半導体装置

⑯特 願 昭63-84679

⑰出 願 昭63(1988)4月6日

⑱発明者 鮫 島 俊 之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱発明者 富 尚 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱発明者 碓 井 節 夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑳代理人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

基板と、400℃以下の温度で硬化する接着剤と、上記接着剤により上記基板に接着されている単結晶半導体膜とを有することを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、いわゆるSOI(Si on Insulator)構造を有する半導体装置に適用して好適なものである。

(発明の概要)

本発明の半導体装置は、基板と、400℃以下の温度で硬化する接着剤と、上記接着剤により上記基板に接着されている単結晶半導体膜とを有し、これによって耐熱性の低い基板を用いて高性能の半導体装置を得ることができる。

(従来の技術)

SOI構造は、低浮遊容量である、絶縁分離が容易である等の利点を有するため、このSOI構造により高集積、高速のデバイスの実現が期待されている。従来、このSOI構造を形成するための方法としては、絶縁体基板上に形成されたアモルファスまたは多結晶のシリコン(Si)膜をレーザービーム、カーボンヒーター、電子ビーム等を用いて加熱し、これを再結晶化させる方法が知られているが、この方法では未だ完全な単結晶Si膜が得られていないのが実情である。

最近、単結晶Si基板と絶縁体基板とを1000℃程度の高温度処理により貼り合わせ、この単結晶Si基板を研削により薄膜化することによって、単結晶Si膜によるSOI構造を形成する試みがなされている(例えば、IEEE CIRCUITS AND DEVICES MAGAZINE, JULY 1987, pp.20-26)。

(発明が解決しようとする課題)

しかしながら、上記従来技術においては、単結晶Si基板と絶縁体基板とを貼り合わせるために上述のように高温の熱処理が必要であるため、絶縁体基板には必然的に耐熱性が要求される。その結果、耐熱性の低いガラス基板や樹脂基板を絶縁体基板として用いることは困難であった。

従って本発明の目的は、ガラス基板や樹脂基板のような耐熱性の低い基板を用いて高性能の半導体装置を得ることにある。

(課題を解決するための手段)

本発明は、基板(1)と、400℃以下の温度で硬化する接着剤(2)と、接着剤(2)により基板(1)に接着されている単結晶半導体膜(4a、4b)とを有する半導体装置である。

(作用)

上記した手段によれば、400℃以下の低温で単結晶半導体膜を基板に接着することができるので、この基板としてガラス基板や樹脂基板のよう

な耐熱性の低い基板を用いることができる。また、単結晶半導体膜を用いて半導体装置を構成することができるので、高性能の半導体装置を得ることができる。これによって、耐熱性の低い基板を用いて高性能の半導体装置を得ることができる。

(実施例)

以下、本発明の一実施例について図面を参照しながら説明する。

第1図に示すように、本実施例による半導体装置においては、軟化温度が例えば500～600℃程度の透明なガラス基板1上に接着剤2により例えばSiO₂膜のような絶縁膜3及び単結晶Si膜4a、4bが接着されている。これらの単結晶Si膜4a、4bの膜厚は例えば500～10000Å程度である。なお、上記絶縁膜3は単結晶Si膜4a、4b同士を分離するためのものであるが、通常は接着剤2自身が絶縁性を有するので、この絶縁膜3は省略することが可能である。

上記接着剤2としては、400℃以下の温度で

硬化する接着剤が用いられる。具体的には、例えばポリエステル系やエポキシアクリレート系の紫外線硬化型の接着剤、ウレタン系、エポキシ系、ポリエステル系等の二液混合型の接着剤、例えば200℃程度以下の温度で硬化するエポキシ系の加熱硬化型の接着剤、例えばシアノアクリレートモノマーのような水分で硬化する瞬間接着剤、アルミナ(Al₂O₃)やシリカ(SiO₂)の微粒子を溶剤に溶かしてペースト状にしたものである無機接着剤(例えば100℃で1時間の乾燥により硬化する)等を用いることができる。

上記単結晶Si膜4a、4b上には例えばSiO₂膜のようなゲート絶縁膜5及び例えばアルミニウム(Al)のような金属から成るゲート電極G₁、G₂が形成されている。また、上記単結晶Si膜4a中には、上記ゲート電極G₁に対して自己整合的に例えばn⁺型のソース領域6及びドレイン領域7が形成されている。同様に、上記単結晶Si膜4b中には、上記ゲート電極G₂に対して自己整合的に例えばn⁺型のソース領域8及びドレイン

領域9が形成されている。さらに、符号10は例えばSiO₂膜のようなパッシベーション膜を示す。このパッシベーション膜10にはコンタクトホール10a～10dが形成されている。そして、このコンタクトホール10aを通じて上記ソース領域6に電極11が、コンタクトホール10bを通じて上記ドレイン領域7に電極12が、コンタクトホール10cを通じて上記ソース領域8に電極13が、コンタクトホール10dを通じて上記ドレイン領域9に電極14がそれぞれ形成されている。これらの電極11～14は例えばAlのような金属から成る。

上記ゲート電極G₁、ソース領域6及びドレイン領域7によりnチャネルMOSFETQ₁が構成され、ゲート電極G₂、ソース領域8及びドレイン領域9によりnチャネルMOSFETQ₂が構成される。

次に、上述のように構成された本実施例による半導体装置の製造方法の一例について説明する。なお、ここでは接着剤2として紫外線硬化型の接

着剤を用いる。

第2図Aに示すように、まず単結晶Si基板4の表面に例えば熱酸化により例えばSiO₂膜のような絶縁膜3を形成する。

次に第2図Bに示すように、ガラス基板1上にあらかじめ接着剤2を塗布しておき、上記単結晶Si基板4の絶縁膜3側をこの接着剤2に貼り付ける。この後、ガラス基板1側から例えばキセノン(Xe)ランプを光源として用いて例えば波長400nm以下の紫外線(図示せず)を上記接着剤2に照射する。これによって、この接着剤2が硬化し、上記ガラス基板1と上記単結晶Si基板4とが次に述べる研削による薄膜化が可能な程度に強固に貼り合わされる。

次に、上記単結晶Si基板4を研削することにより、第2図Cに示すように薄膜化する。この研削は、大部分は機械的研削であるラッピングにより行い、最後に機械的作用及び化学的作用を併用したポリッシングにより行う。この場合、ラッピングにより生じる損傷の深さが約2μm程度である

ことを考慮して、厚さ2μm程度まではラッピングを行い、その後ポリッシングを行う。

次に第2図Dに示すように、上述のようにして薄膜化された単結晶Si基板4をエッチングにより所定形状にパターンニングして島状の単結晶Si膜4a、4bを形成する。

次に第2図Eに示すように、例えばプラズマCVD法や光CVD法により全面にゲート絶縁膜5を形成した後、この絶縁膜5上に例えばスパッタ法や蒸着法により例えばAl膜15を形成する。これらのゲート絶縁膜5及びAl膜15の形成はいずれも400℃以下の低温で行う。なお、このゲート絶縁膜5は、第2図Cに示すように単結晶Si基板4を薄膜化した後、例えば酸素(O₂)ガスを含む雰囲気のような酸性雰囲気中で例えばXeClエキシマーレーザーによるパルスレーザービーム(波長308nm)をこの薄膜化された単結晶Si基板4の表面に照射して加熱することによっても形成することが可能である。

次に、上記Al膜15及び絶縁膜5をエッチング

により所定形状にパターンニングして、第2図Fに示すようにゲート電極G₁、G₂を形成する。

次に第2図Gに示すように、例えばフォスフィン(PH₃)を反応ガスとして用いたプラズマCVD法により400℃以下の低温で全面に例えば膜厚100Å程度のリソ(P)膜16を形成する。この後、例えば室温でパルスレーザービーム17を全面に照射する。このパルスレーザービーム17としては例えばXeClエキシマーレーザーによるパルスレーザービームを用いることができ、そのパルス幅は例えば20ns、照射エネルギー密度は例えば0.5J/cm²程度である。このパルスレーザービーム17の照射により上記単結晶Si膜4a、4bが瞬間的に加熱され、その結果上記P膜16が直接接しているこれらの単結晶Si膜4a、4b中にPが上記ゲート電極G₁、G₂に対して自己整合的にドーピングされる。これによって、ゲート電極G₁に対して自己整合的にソース領域6及びドレイン領域7が、ゲート電極G₂に対して自己整合的にソース領域8及びドレイン領域9

が形成される。この場合、このパルスレーザービーム17の照射により加熱されるのは単結晶Si膜4a、4bだけであり、下層の接着剤2及びガラス基板1は加熱されない。なお、これらのソース領域6、8及びドレイン領域7、9は、ゲート電極G₁、G₂をマスクとして単結晶Si膜4a、4b中にn型不純物をイオン注入した後にレーザーアニールを行うことによっても形成することができる。

次に第1図に示すように、例えばプラズマCVD法や光CVD法により400℃以下の低温で全面にパッシベーション膜10を形成した後、このパッシベーション膜10の所定部分をエッチング除去してコンタクトホール10a~10dを形成する。この後、全面に例えばAl膜を形成した後、このAl膜をエッチングによりパターンニングして電極11~14を形成し、目的とする半導体装置を完成させる。

本実施例によれば、上述のようにガラス基板1と単結晶Si膜4a、4bとが400℃以下の温度

で硬化する接着剤2により接着されているので、これらのガラス基板1及び単結晶Si膜4a、4bをこの400℃以下の低温で強固に貼り合わせることができる。また、ゲート絶縁膜5、パッシベーション膜10、Al膜15等の各種の膜の形成や不純物ドーピング等も400℃以下の低温で行っているため、本実施例による半導体装置は400℃以下の低温プロセスで製造することができる。しかも、キャリア（電子）の移動度が高い等の優れた性質を有する単結晶Si膜4a、4bによりnチャネルMOSFETQ₁、Q₂を構成しているので、高性能の半導体装置を得ることができる。これによって、耐熱性は低いが安価なガラス基板1を用いてSOI構造を有する高性能の半導体装置を安価に得ることができる。

本実施例による半導体装置は、例えばアクティブ・マトリクス型の液晶ディスプレイへの応用が可能である。また、本実施例による低温プロセスを複数回繰り返すことにより、三次元デバイスを容易に製造することが可能である。すなわち、ま

である。また、単結晶Si膜4a、4bの代わりにガリウムヒ素（GaAs）等の化合物半導体の単結晶膜を用いることも可能である。さらに、パルスレーザービーム17としては、例えばXeFエキシマレーザーによるパルスレーザービーム（波長351nm）を用いることも可能である。

また、単結晶Si膜4a、4bは次のような各種の方法により形成することも可能である。すなわち、第1の方法によれば、第3図Aに示すように、例えばアセチレン（C₂H₂）のようなガスを含む雰囲気中で例えばXeClエキシマレーザーによるパルスレーザービーム17を単結晶Si基板4の表面に局所的に照射することによって、この単結晶Si基板4の表面層を局所的に溶解させると同時に上記C₂H₂を分解し、例えば厚さ500～10000Å程度のシリコンカーバイド（SiC）層18a～18cを形成する。次に第3図Bに示すように、上記単結晶Si基板4を接着剤2によりガラス基板1と貼り合わせる。次に、この単結晶Si基板4を上述の実施例と同様にして研削により薄

く上述の実施例と同様にして一層目の素子を形成した後、この一層目の素子に接着剤により再び単結晶Si基板を接着する。次に、この単結晶Si基板を薄膜化した後、この薄膜化により形成された単結晶Si膜を用いて二層目の素子を形成する。この場合、一層目の素子は高温にさらされることはないから、二層目の素子を形成する際に一層目の素子の劣化等が生じることはない。素子を三層以上積層する場合には、同様な方法を繰り返せばよい。

以上、本発明の実施例につき具体的に説明したが、本発明は、上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

例えば、ガラス基板1の代わりに例えばポリメタクリル酸メチル（PMMA）やポリカーボネートのような樹脂材料の基板を用いることが可能であり、基板の選択の自由度は高い。ガラス基板1の代わりに放熱性に優れた金属基板を用いることにより、素子から発生する熱の拡散を効率的に行うことが可能であるため、素子の高集積化が可能

膜化することによって、第3図Cに示すように単結晶Si膜4a、4bを形成する。この研削の際には、硬度の高い上記SiC層18a～18cがストップパーとして働くため、上記単結晶Si基板4をこれらのSiC層18a～18cと同じ厚さに精度良く、しかも一様な厚さに薄膜化することができる。また、第2の方法によれば、第4図Aに示すように、まず例えばゲルマニウム（Ge）基板19上に例えば膜厚1000Å以下の薄い単結晶Si膜20をヘテロエピタキシャル成長させる。次に第4図Bに示すように、この単結晶Si膜20が形成されたGe基板19を接着剤2によりガラス基板1と貼り合わせる。次に、このGe基板19をエッチング除去して、第4図Cに示すように、単結晶Si膜20が接着剤2によりガラス基板1と貼り合わされた構造を形成する。この後、この単結晶Si膜20をパターンニングすることにより島状化する。さらに、第3の方法によれば、第5図Aに示すように、例えば抵抗率0.001Ωcm程度の低抵抗のn型単結晶Si基板21上にノンドープの薄い単結

品Si膜20をエピタキシャル成長させる。次に第5図Bに示すように、この単結晶Si膜20が形成されたn型単結晶Si基板21を接着剤2によりガラス基板1と貼り合わせる。次に、例えば塩素(Cl_2)ガスを反応ガスとして用いたプラズマエッチングまたは Cl_2 ガス中での紫外線照射によるエッチングにより上記n型単結晶Si基板21を選択的にエッチング除去する。この後、上記単結晶Si膜20をパターンニングすることにより島状化する。

(発明の効果)

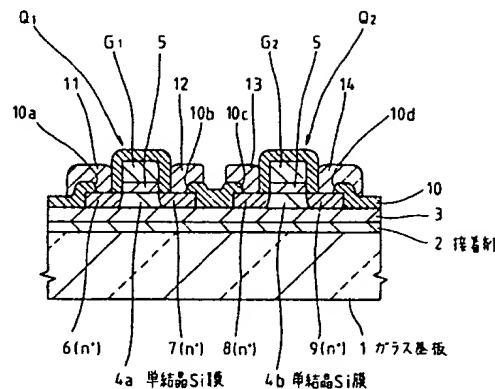
以上説明したように、本発明によれば、400℃以下の温度で硬化する接着剤により基板に単結晶半導体膜を接着しているの、ガラス基板や樹脂基板のような耐熱性のない基板を用いることができるとともに、単結晶半導体膜により高性能の半導体装置を構成することができる。これによって、耐熱性のない基板を用いて高性能の半導体装置を得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体装置を示す断面図、第2図A～第2図Gは第1図に示す半導体装置の製造方法の一例を工程順に示す断面図、第3図A～第3図Cは本発明の変形例Iによる製造方法を工程順に示す断面図、第4図A～第4図Cは本発明の変形例IIによる製造方法を工程順に示す断面図、第5図A～第5図Cは本発明の変形例IIIによる製造方法を工程順に示す断面図である。

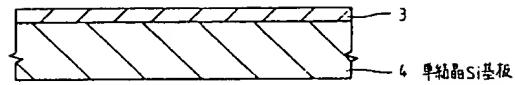
図面における主要な符号の説明

1：ガラス基板、2：接着剤、4：単結晶Si基板、4a、4b：単結晶Si膜、 G_1 、 G_2 ：ゲート電極、6、8：ソース領域、7、9：ドレイン領域、17：パルスレーザビーム、18a、18b、18c：SiC層、19：Ge基板、 Q_1 、 Q_2 ：nチャネルMOSFET。

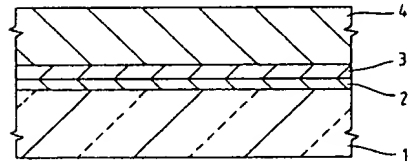


—実施例—

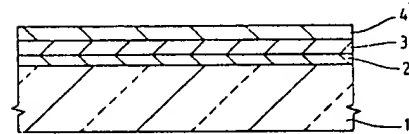
第1図



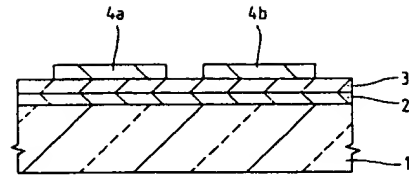
半導体装置の製造方法
第2図A



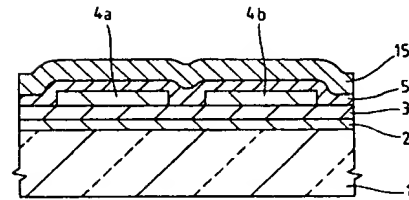
半導体装置の製造方法
第2図B



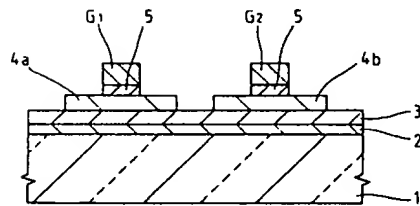
半導体装置の製造方法
第2図C



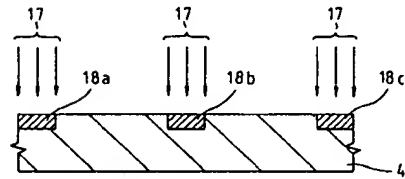
半導体装置の製造方法
第2図D



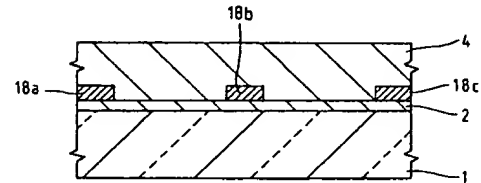
半導体装置の製造方法
第2図E



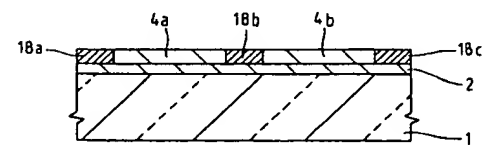
半導体装置の製造方法
第2図F



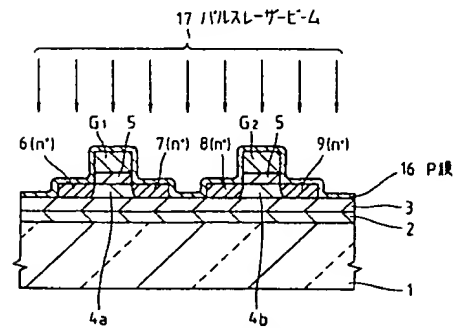
変形例I
第3図A



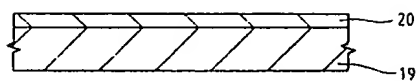
変形例I
第3図B



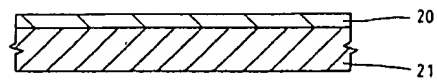
変形例I
第3図C



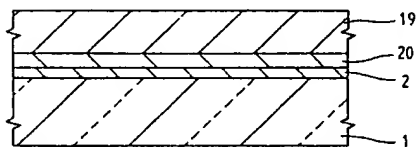
半導体装置の製造方法
第2図G



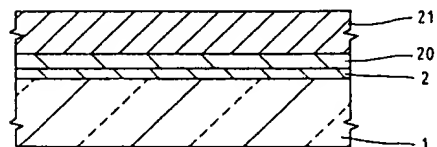
変形例Ⅱ
第4図A



変形例Ⅲ
第5図A



変形例Ⅱ
第4図B



変形例Ⅲ
第5図B



変形例Ⅱ
第4図C



変形例Ⅲ
第5図C